

PLASMA DISPLAY PANEL AND DRIVE METHOD THEREFOR

Publication number: JP2002082648

Publication date: 2002-03-22

Inventor: KANAZAWA GIICHI; HIRAKAWA HITOSHI; TANAKA SHINSUKE; ASAO SHIGEHARU

Applicant: FUJITSU HITACHI PLASMA DISPLAY

Classification:

- international: G09G3/20; G09G3/28; G09G3/288; G09G3/20; G09G3/28; (IPC1-7): G09G3/28; G09G3/20

- European:

Application number: JP20010107624 20010405

Priority number(s): JP20010107624 20010405; JP20000188256 20000622

Report a data error here

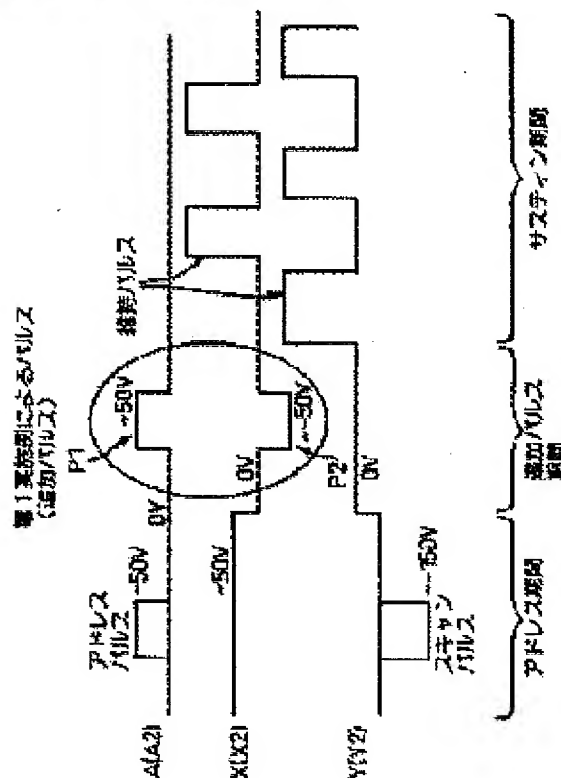
Abstract of JP2002082648

PROBLEM TO BE SOLVED: To solve the problem that a display panel of a conventional PDP(Plasma Display Panel) has been one-sidedly charged with electricity depending on usage and abnormal discharge has occurred.

SOLUTION: In the method for driving a plasma display panel where a plurality of 1st electrodes X and 2nd electrodes Y are arranged alternately and adjacently to each other, and where 3rd electrodes A are formed so as to cross the 1st and 2nd electrodes, after address discharge is performed and before sustained discharge is performed by alternately applying a sustained pulse to the 1st and 2nd electrodes, such a voltage pulse as the 3rd electrode side is turned into a first polarity and also the 1st electrode side is turned into a 2nd polarity is applied to the 1st or 3rd electrode or both of them, and thereby discharge is generated on a discharge cell which has started discharging without applying the voltage pulse for inducing address discharge to the 3rd electrode, and by this discharge, such auxiliary discharge is made to perform, as reduces a wall charge amount so that sustained discharge is not generated.

図 17

本発明に係るプラズマディスプレイパネル（PDP）の駆動方法の第 1 実施例における駆動波形を示す図



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-82648

(P2002-82648A)

(43) 公開日 平成14年3月22日 (2002.3.22)

(51) Int. Cl. ⁷	識別記号	F I	テームト* (参考)
G 0 9 G 3/28		G 0 9 G 3/20	6 2 4 L 5 C 0 8 0
3/20	6 2 4	3/28	E

審査請求 有 請求項の数10 O L (全 25 頁)

(21) 出願番号 特願2001-107624(P2001-107624)

(22) 出願日 平成13年4月5日 (2001.4.5)

(31) 優先権主張番号 特願2000-188256(P2000-188256)

(32) 優先日 平成12年6月22日 (2000.6.22)

(33) 優先権主張国 日本 (J P)

(71) 出願人 599132708

富士通日立プラズマディスプレイ株式会社
神奈川県川崎市高津区坂戸3丁目2番1号

(72) 発明者 金澤 義一

神奈川県川崎市高津区坂戸3丁目2番1号
富士通日立プラズマディスプレイ株式会
社内

(72) 発明者 平川 仁

神奈川県川崎市高津区坂戸3丁目2番1号
富士通日立プラズマディスプレイ株式会
社内

(74) 代理人 100077517

弁理士 石田 敬 (外4名)

最終頁に続く

(54) 【発明の名称】 プラズマディスプレイパネルおよびその駆動方法

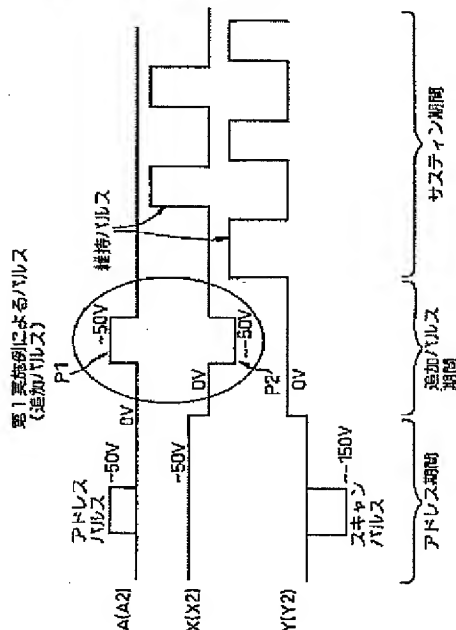
(57) 【要約】

【課題】 従来のPDPは、使い方によっては表示パネルに電荷が偏って蓄積し、異常放電が発生することがあった。

【解決手段】 第1の電極Xおよび第2の電極Yを交互に隣接させて複数配置し、該第1および第2の電極に交わるように第3の電極Aを形成したプラズマディスプレイパネルの駆動方法において、アドレス放電を実行した後であって該第1および第2の電極に交互に維持パルスを印加して維持放電を行う前に、該第3の電極側を第1の極性とし、且つ、該第1の電極側を第2の極性となるような電圧パルスを該第1または第3の電極若しくはその何れにも印加することで、該第3の電極にアドレス放電を引き起こす電圧パルスを印加せずとも放電を開始してしまった放電セルにおいて放電を起こし、その放電によって壁電荷量を維持放電が起きないように減少させるような補助放電を行わせるように構成する。

図 17

本発明に係るプラズマディスプレイパネル (PDP) の駆動方法の第1実施例における駆動波形を示す図



【特許請求の範囲】

【請求項1】 第1の電極および第2の電極を交互に隣接させて複数配置し、該第1および第2の電極に交わるように第3の電極を形成したプラズマディスプレイパネルの駆動方法であって、

前記第2の電極と前記第3の電極との間でアドレス放電を実行した後であって該第1および第2の電極に交互に維持パルス印加して維持放電を行う前に、維持放電を意図しない表示セルに蓄積された壁電荷を維持放電が起きないように量に減少させる補助放電を行うことを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項2】 請求項1に記載のプラズマディスプレイパネルの駆動方法において、さらに、前記第3の電極側を第1の極性とし、前記第2の電極側を第2の極性として電圧パルス印加することで選択セルに放電を起し、

前記第1の電極側を該第2の電極に対して第1の極性とし、少なくとも該第2の電極には第1の極性の壁電荷を形成し、且つ、該第1の電極側には第2の極性の壁電荷を形成するようにアドレス放電を実行し、

前記第3の電極側を第1の極性とし、且つ、該第1の電極側を第2の極性となるような電圧パルス印加する、該第1または第3の電極若しくはその何れにも印加することで、該第3の電極にアドレス放電を引き起こす電圧パルス印加せずとも放電を開始してしまった放電セルにおいて放電を起すことを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項3】 第1の電極および第2の電極を交互に隣接させて複数配置し、該第1および第2の電極に交わるように第3の電極を形成したプラズマディスプレイパネルの駆動方法であって、

前記第2の電極と前記第3の電極との間でアドレス放電を実行し、

前記第1および第2の電極に交互に維持パルス印加して維持放電を行った後に、直前に実施していた維持放電以上の規模の補助放電を行うことを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項4】 第1の電極および第2の電極を交互に隣接させて複数配置し、該第1および第2の電極に交わるように第3の電極を形成し、スキャンパルス印加する前記第2の電極に対して傾きの緩やかな消去パルスをリセット時に印加するプラズマディスプレイパネルの駆動方法であって、

前記消去パルスの最終段階で、前記スキャンパルスと同等の電圧になるまでパルス電圧を急峻に変化させることを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項5】 複数の第1の電極と、該各第1の電極と交互に隣接して配置された複数の第2の電極と、

該第1および第2の電極に交わるように配置された複数

の第3の電極と、

前記第2の電極と前記第3の電極との間でアドレス放電を実行させる制御回路とを備え、

前記制御回路は、維持放電を意図しない表示セルに蓄積された壁電荷を維持放電が起きないように量に減少させる補助放電を行わせることを特徴とするプラズマディスプレイパネル。

【請求項6】 複数の第1の電極と、

該各第1の電極と交互に隣接して配置された複数の第2の電極と、

該第1および第2の電極に交わるように配置された複数の第3の電極と、

前記第2の電極と前記第3の電極との間でアドレス放電を実行させる制御回路とを備え、

前記制御回路は、直前に実施していた維持放電以上の規模の補助放電を行わせることを特徴とするプラズマディスプレイパネル。

【請求項7】 請求項1に記載のプラズマディスプレイパネルの駆動方法において、さらに、

前記第2の電極と前記第3の電極との間にアドレス放電を実行する際に印加した電圧パルスと同じ極性の電圧パルス印加し、アドレス放電を行わずに維持放電を意図しない表示セルにおける壁電荷を減少させるさらなる補助放電を行うことを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項8】 請求項1に記載のプラズマディスプレイパネルの駆動方法において、さらに、

前記第2の電極は、奇数電極群および偶数電極群に時間的に分かれて駆動され、該奇数電極群または該偶数電極群の何れか一方のアドレス期間が終了した後において、

前記第2の電極にアドレス放電を実行する際に印加した電圧パルスと同じ極性で、且つ、スキャンパルスの電圧以上のパルス印加し、アドレス放電を行わずに維持放電を意図しない表示セルにおける壁電荷を減少させるさらなる補助放電を行うことを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項9】 第1の電極および第2の電極を交互に隣接させて複数配置し、該第1および第2の電極に交わるように第3の電極を形成したプラズマディスプレイパネルの駆動方法であって、

前記第2の電極は、奇数電極群および偶数電極群に時間的に分かれて駆動され、該奇数電極群または該偶数電極群の何れか一方のアドレス期間が終了した後の後半アドレス期間において、

アドレス処理を終了した何れかの前記第2の電極の電圧を、アドレス実行中における当該第2の電極の非選択電圧よりも低くすることを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項10】 第1の電極および第2の電極を交互に隣接させて複数配置し、該第1および第2の電極に交

るように第3の電極を形成したプラズマディスプレイパネルの駆動方法であって、

前記第1の電極および前記第2の電極は、奇数電極群および偶数電極群に分離され、該隣接する奇数電極群間および該隣接する偶数電極群間で表示セルを構成し、或いは、該隣接する奇数電極群と偶数電極群との間で表示セルを構成し、さらに、

維持放電期間における初期の複数回の放電を、前記各奇数電極または前記各偶数電極で時間的に分離して実行し、

維持放電を実行しない側における前記第1の電極および前記第2の電極の電圧の一方もしくは両方の電圧を低く設定することを特徴とするプラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はプラズマディスプレイパネルの駆動技術に関し、特に、ALIS方式のプラズマディスプレイパネルおよびその駆動方法に関する。近年、高精細化および高い開口率が得られるプラズマディスプレイパネル(PDP)としてALIS方式(Alternate Lighting of Surfaces Method)のPDPが提供されている。このようなALIS方式のPDPにおいて、例えば、フリッカを避けるために片方のフィールドだけを繰り返して文字等の情報表示を行う場合があるが、このような場合には、表示パネルに電荷が偏って蓄積して異常放電が発生する危険がある。そこで、このような異常放電を防止することができるPDPの駆動技術の提供が要望されている。

【0002】

【従来の技術】図1は本発明が適用されるALIS方式のプラズマディスプレイパネル(PDP)を従来のプラズマディスプレイパネルと比較して示す図であり、図1(a)は従来のPDP(例えば、VGA:表示ラインが480本)を示し、図1(b)はALIS方式のPDP(例えば、表示ラインが1024本)を示している。

【0003】図1(a)に示されるように、従来のPDPは、2本の表示電極を平行に配置し、この電極間で表示放電を行うため、表示ライン数の2倍の表示電極(維持電極またはサステイン電極とも呼ぶ)が必要であり、例えば、表示ラインが480本(VGA)の場合には、 $480 \times 2 = 960$ 本の表示電極が必要であった。一方、ALIS方式のPDPは、例えば、日本国特許掲載公報第2801893号(特開平9-160525号公報)に開示され、図1(b)に示されるように、隣接する全ての電極間で放電を発生させて表示を行うため、表示ライン数+1本、例えば、表示ラインが1024本の場合には、 $1024 + 1 = 1025$ 本の表示電極で済むことになる。

【0004】すなわち、ALIS方式のPDPでは、従

来と同等の電極数で2倍の精細度を実現することができ、さらに、放電空間を無駄なく使用すると共に、電極等による遮光を最小に留めることによって、高い開口率が可能となり、高輝度を実現することができる。図2はALIS方式のPDPの表示方法を説明するための図であり、文字「A」を表示する場合の例を示すものである。図2において、X電極X1, X2, ...およびY電極Y1, Y2, ...は表示電極(サステイン電極)であり、また、A1, A2, ...はアドレス電極である。

10 【0005】図2に示されるように、ALIS方式の表示方法は、画像の表示を奇数ラインと偶数ラインに時間的に分割し、例えば、X電極(X1, X2, ...)とその下のY電極(Y1, Y2, ...)との間の放電による奇数ライン(表示ライン<1>, <3>, <5>, ...)の表示、および、Y電極(Y1, Y2, ...)とその下のX電極(X2, X3, ...)との間の放電による偶数ライン(表示ライン<2>, <4>, <6>, ...)の表示を合成して全体画像を表示するもので、例えば、ブラウン管のインタレース走査に似たものとなっている。

20 【0006】図3はALIS方式のPDPの動作原理を説明するための図であり、図3(a)は奇数ラインの放電(表示)時の動作を示し、また、図3(b)は偶数ラインの放電(表示)時の動作を示している。図3(a)に示されるように、奇数の表示ライン(表示ライン<1>, <3>, ...)で安定に放電を起こすために、例えば、奇数のX電極X1, X3, ...を接地(例えば、0ボルト)して奇数のY電極Y1, (Y3), ...に対して電圧Vsを与え、且つ、偶数のX電極X2, (X4), ...に対して電圧Vsを与えて偶数のY電極Y2, (Y

30 4), ...を接地する。これにより、奇数の表示ライン<1>, <3>, ...に放電を発生させ、偶数の表示ライン<2>, <4>, ...には放電を発生させないようにする。すなわち、第1番目の表示ライン<1>では、接地された第1番目のX電極X1と電圧Vsが印加された第1番目のY電極Y1との間の電圧(Vs)により放電が生じ、また、第3番目の表示ライン<3>でも、電圧Vsが印加された第2番目のX電極X2と接地された第2番目のY電極Y2との間の電圧(Vs)により放電が生じる。このとき、第2番目の表示ライン<2>では、電圧Vsが印加された第1番目のY電極Y1と電圧Vsが印加された第2番目のX電極X2とにより電位差が生じないので放電は起こらず、また、第4番目の表示ライン<4>でも、接地された第2番目のY電極Y2と接地された第3番目のX電極X3とにより電位差が生じないので放電は起こらない。

【0007】一方、図3(b)に示されるように、偶数の表示ライン(表示ライン<2>, <4>, ...)で安定に放電を起こすために、例えば、奇数のX電極X1, X3, ...および奇数のY電極Y1, (Y3), ...に対して電圧Vsを与え、且つ、偶数のX電極X2, (X4),

…および偶数のY電極Y2, (Y4), …を接地する。これにより、偶数の表示ライン<2>, <4>, …に放電を発生させ、奇数の表示ライン<1>, <3>, …には放電を発生させないようにする。すなわち、第2番目の表示ライン<2>では、電圧Vsが印加された第1番目のY電極Y1と接地された第2番目のX電極X2との間の電圧(Vs)により放電が生じ、また、第4番目の表示ライン<4>でも、接地された第2番目のY電極Y2と電圧Vsが印加された第3番目のX電極X3との間の電圧(Vs)により放電が生じる。このとき、第1番目の表示ライン<1>では、電圧Vsが印加された第1番目のX電極X1と電圧Vsが印加された第1番目のY電極Y1とにより電位差が生じないので放電は起こらず、また、第3番目の表示ライン<3>でも、接地された第2番目のX電極X2と接地された第2番目のY電極Y2とにより電位差が生じないので放電は起こらない。

【0008】上記の図3(a)に示す奇数ラインの放電および図3(b)に示す偶数ラインの放電を交互に繰り返すことにより、奇数ラインの放電および偶数ラインの放電が合成され全体画像が表示されることになる。図4はALIS方式のPDPの表示シーケンスの一例を示す図である。前述したように、ALIS方式のPDPにおいては、全画面の表示は、奇数ラインの表示(放電)と偶数ラインの表示に分けて行われるため、図4に示されるように、1フレームは、奇数フィールドと偶数フィールドに分けられる。これらの奇数および偶数フィールドは、それぞれ、さらに複数(n個)のサブフィールド(1SF~nSF)に分割される。ここで、各フィールドを複数のサブフィールドに分割するのは階調表示を行うために必要であるが、通常、50~300程度の階調を実現するために8~12個程度のサブフィールド(SF)に分割される。

【0009】各サブフィールド(1SF~nSF)は、放電セルの状態を初期化するためのリセット期間(図4では省略:アドレス期間の前にある)、表示データに応じて点灯セルへの書き込みを行うためのアドレス期間、および、アドレス期間で選択されたセルによる表示を行うための表示期間(サステイン期間)に分割される。なお、表示期間では繰り返し放電(維持放電)が行われるが、その回数によって、各サブフィールドの輝度の重みが決定される。

【0010】図5はALIS方式の駆動波形の一例を示す図(その1:奇数フィールド)であり、図6はALIS方式の駆動波形の一例を示す図(その2:偶数フィールド)であり、それぞれ1サブフィールドの駆動波形を示すものである。図5に示されるように、奇数フィールドにおける1サブフィールドの駆動波形において、リセット期間は、全ての隣接するX電極X1, X2, …とY電極Y1, Y2, …との間に電圧パルス印加して初期化放電(リセット放電)を行い、また、アドレス期間

は、Y電極Y1, Y2, …に対して順次選択パルス(スキャンパルス)を印加し、選択セルに対応するアドレス電極(A1, A2, …)にアドレスパルスを印加して書き込み放電(アドレス放電)を実行する。これらリセット放電および書き込み放電を全ての画面に渡って実行した後、サステインパルスをX電極とY電極に交互に印加してサステイン放電(維持放電)を行う。図5は、奇数ライン(奇数の表示ライン<1>, <3>, …)の表示を行う奇数フィールドの駆動波形を示しており、奇数の表示ラインにのみアドレス放電およびサステイン放電が生じるような工夫がなされている。

【0011】図6は、偶数ライン(偶数の表示ライン<2>, <4>, …)の表示を行う偶数フィールドの駆動波形を示しており、図5に示す奇数フィールドにおける駆動波形に対応している。なお、図6では、偶数の表示ラインにのみアドレス放電およびサステイン放電が生じるような工夫がなされている。図7は本発明が適用されるALIS方式のPDP(PDP装置)の一例を示すブロック回路図である。図7において、参照符号101は制御回路、121は奇数X電極用サステイン回路(PX1)、122は偶数X電極用サステイン回路(PX2)、131は奇数Y電極用サステイン回路(PY1)、132は偶数Y電極用サステイン回路(PY2)、104はアドレス回路(アドレスドライバ)、105は走査回路(スキャンドライバ)、そして、106は表示パネル(PDP)を示している。

【0012】制御回路101は、外部から供給される表示データDATAを表示パネル106用のデータに変換してアドレス回路104に供給し、さらに、外部から供給されるクロックCLK、垂直同期信号VSYNCおよび水平同期信号HSYNCに従って様々な制御信号を発生し、各種回路(121, 122, 131, 132, 104, 105)を制御する。なお、前述した図5および図6に示すような電圧波形を各電極に印加するために、電源回路(図示しない)から、奇数X電極用サステイン回路121、偶数X電極用サステイン回路122、奇数Y電極用サステイン回路131、偶数Y電極用サステイン回路132、アドレス回路104、および、走査回路105に対してそれぞれ所定の電圧が供給される。

【0013】図8はALIS方式のPDPにおけるパネル構造の一例を示す図である。表示パネル106は、カラーおよびモノクロのいずれの場合もあるが、図8はカラーの表示パネルを示している。図8に示されるように、前面ガラス基板161には、ITO膜等の透明電極1631, 1632, 1633, …および銅等の金属電極1641, 1642, 1643, …により構成されたX電極およびY電極X1, Y1, X2, …が交互に平行に形成されている。ここで、例えば、X電極X1において、金属電極1641は、透明電極1631による電圧低下を低減するために、その透明電極1631の長手方

向に沿って設けられている。なお、X電極およびY電極X1、Y1、X2、…を構成する透明電極1631、1632、1633、…および金属電極1641、1642、1643、…の表面、並びに、前面ガラス基板161の内面には、全体に渡って壁電荷保持用の誘電体およびMgO等の保護膜(図示しない)が設けられている。

【0014】後面ガラス基板162において、前面ガラス基板161のMgO保護膜と対向する面には、X電極およびY電極X1、Y1、X2、…と直交する方向に、アドレス電極A1、A2、A3、…と、これら各アドレス電極を囲む隔壁1650が形成されている。そして、隔壁1650に囲まれたアドレス電極A1、A2、A3、…上には、放電により生じた紫外線が入射して各色(赤色R、緑色G、青色B)を発する蛍光体1651、1652、1653、…が被着されている。なお、前面ガラス基板161のMgO保護膜(内面)と後面ガラス基板162の蛍光体(内面)との間の放電空間には、例えば、Ne+Xeベニング混合ガスが封入される。

【0015】ここで、前面ガラス基板161における奇数のX電極X1(X3、X5、…)は、図7に示す奇数X電極用サスティン回路121に接続され、偶数のX電極X2(X4、X6、…)は、偶数X電極用サスティン回路122に接続され、奇数のY電極Y1(Y3、Y5、…)は、走査回路(走査駆動用IC)105を介して奇数Y電極用サスティン回路131に接続され、そして、偶数のY電極(Y2、Y4、Y6、…)は、走査回路105を介して偶数Y電極用サスティン回路132に接続され、上述したALIS方式の駆動が行われる。

【0016】図9は片フィールド(奇数フィールド)により固定表示を行っている様子を示す図であり、図10は図9に示す片フィールドだけによる固定表示の点灯シーケンスの一例を示す図である。前述したように、例えば、ALIS方式のPDPは、図4に示されるように、奇数ラインと偶数ラインを別なフィールドで点灯して駆動している。すなわち、ALIS方式のPDPにおける表示シーケンスは、インタレース表示に類似した表示形態であるため、1ラインの点灯の場合、例えば、30Hzのフリッカが発生する。通常、映像表示であればブラウン管と同様にさほど問題とはならないが、PDPを文字等の情報表示に使用する場合には、フリッカが無いほうが好ましく、そのような用途においては、表示するラインを固定し、つまり、常時奇数もしくは偶数のフィールドの繰り返しで表示を行う。

【0017】すなわち、ALIS方式のPDPにおいて、解像度は半分でよいがフリッカは避けたいといった要求がある場合(例えば、文字等の情報表示の場合)には、例えば、図10に示されるように、片方のフィールド(例えば、奇数フィールド)だけを繰り返して表示を行う。この場合、図9からも明らかなように、表示できるライン数は、全ライン数の半分になる。

【0018】

【発明が解決しようとする課題】図11～図15はALIS方式のPDPにおける固定表示の課題を説明するための図である。図11～図15において、参照符号161は前面ガラス基板を示し、162は後面ガラス基板を示している。前述したように、例えば、ALIS方式のPDPにおいて、片方のフィールド(例えば、奇数フィールド)だけを使用して表示(例えば、文字等の情報表示)を行う場合、図11に示されるように、アドレス放電の向きは常時同じ方向となるため、このような駆動(表示)を繰り返すことにより表示パネル上に図12(a)に示すような電荷の偏りが発生する。

【0019】すなわち、図11はアドレス放電の様子を示すものであるが、例えば、アドレス期間の放電は、後面ガラス基板162に設けられたアドレス電極(A)と前面ガラス基板161に設けられたY電極間の放電をトリガとして、前面ガラス基板161のX電極とY電極との間で放電が発生する。このとき、アドレス電極には、50～80V程度のパルスを表示データに応じて印加し、また、Y電極には、-150V～-200V程度のスキャンパルスを印加する。これにより、アドレス電極とY電極との間の電圧が放電開始電圧を超えて放電が開始する。また、X電極には、50～100V程度の電圧を印加しておくことにより、アドレス電極とY電極間で発生した放電がX電極とY電極間に広がり、壁電荷の蓄積によってその放電が収束する。放電によって生じた電子とイオンは、放電空間内の電界によって移動し、電子は陽極であるX電極側へ、また、イオンは陰極であるY電極側へ移動する。アドレス放電後の維持放電では、逆極性でも放電が行われるが、アドレス時のX電極とY電極間の電位差である200V程度に対してより低い150～180V程度の電圧により維持放電を実施するため、アドレス時に移動した電荷を完全に戻すことはできない。

【0020】上記の動作を繰り返すことにより、例えば、電子は、図12(a)における左側(表示パネルの上側)に移動し、また、電子が取り去られた右側(表示パネルの下側)は、イオンが過剰な状態となる。このような現象の詳細は十分解明されていないが、イオンに比べて電子の移動度が大きいことも要因と考えられている。

【0021】そして、上記の表示動作が繰り返し行われて堆積した電荷量がある程度以上になると、図12(b)に示されるように、X電極とY電極の対を越えたかなりの距離で大規模な異常放電が発生することがある。このような異常放電は、その後の正常な動作を阻害したり、大電流により絶縁膜を破壊して回路を損傷することもあり得る。

【0022】また、図13に示されるように、偏りが生じた電荷が、後面ガラス基板162のアドレス電極

(A)側に蓄積される場合や前面ガラス基板161のサスティン電極(X電極、Y電極)側に蓄積される場合もある。そのような状態は、駆動シーケンス上の時間によっても異なるが、例えば、前述した図5に示す駆動波形の場合、サスティン期間中のアドレス電極は常に0Vであるため、サスティン期間終了時点では、アドレス電極側に偏ったプラス電荷が保持される。この場合、次のサブフィールドでアドレス放電を実行(実施)する際に、アドレス電極側の印加電圧に重畳される形で壁電荷が作用するため、アドレス放電が巨大化する場合がある。正常なアドレス放電に比べて、大きな放電の場合には、隣接セルへの書き込みを行ってしまう等の表示異常を引き起こすことにもなる。

【0023】さらに、図14に示されるように、隣接するセルを仕切るための障壁(隔壁)に欠陥があると、異常放電を引き起こす場合がある。図14において、参照符号165は蛍光体(R1651、G1652、B1653)を示し、1650は隔壁を示す。また、図15(a)および図15(b)は、この異常放電が生じる様子を示している。

【0024】図14における中央のセルCE2でアドレス放電を行い、且つ、その両側に隣接するセルCE1、CE3がオフ状態(つまり、アドレス放電を実施しない)場合、隔壁1650に欠陥Fがあると、例えば、アドレス放電が行われたセルCE2とその右隣のセルCE3との空間が結合することになって、セルCE2のアドレス放電により生じた電荷が隣接セルCE3へ移動して放電させてしまうことがある。この現象は、例えば、隔壁1650の欠陥Fが5 μ m程度の隙間であっても起こることがあり、上述したような偏った電荷の蓄積によりアドレス放電が巨大化した場合には、より僅かな隙間であっても隣接セルの放電を引き起こす。なお、前面ガラス基板161と後面ガラス基板162との空隙は、例えば、100~150 μ m程度である。

【0025】その結果、例えば、図15(a)に示されるような選択セルでの正常なアドレス放電を行った後、さらに、図15(b)に示されるような隣接セルからの電荷もれによる誤放電が引き続いて生じることになる。ここで、図15(a)は、アドレス電極A2と維持電極(X電極X2、Y電極Y2)により構成されるセルCE2を示し、図15(b)は、アドレス電極A3と維持電極(X2、Y2)により構成されるセルCE3を示している。

【0026】本発明は、上述した従来のプラズマディスプレイパネルの駆動技術が有する課題に鑑み、表示パネル上における偏った電荷の蓄積を無くして異常放電を防止することを目的とする。さらに、本発明は、アドレス期間において、アドレスパルスが印加されなくとも消去パルスのみで放電を開始するようなミスアドレスを防止することを目的とする。

【0027】

【課題を解決するための手段】本発明の第1の形態のプラズマディスプレイパネルの駆動方法は、第1の電極および第2の電極を交互に隣接させて複数配置し、該第1および第2の電極に交わるように第3の電極を形成する。さらに、第2の電極と第3の電極との間でアドレス放電を実行した後であって該第1および第2の電極に交互に維持パルスを印加して維持放電を行う前に、維持放電を意図しない表示セルに蓄積された壁電荷を維持放電が起きないように量に減少させる補助放電を行うようになっている。

【0028】本発明の第2の形態のプラズマディスプレイパネルの駆動方法は、第1の電極および第2の電極を交互に隣接させて複数配置し、該第1および第2の電極に交わるように第3の電極を形成する。さらに、第2の電極と第3の電極との間でアドレス放電を実行し、第1および第2の電極に交互に維持パルスを印加して維持放電を行った後に、直前に実施していた維持放電以上の規模の補助放電を行うようになっている。

【0029】本発明の第3の形態のプラズマディスプレイパネルの駆動方法は、第1の電極および第2の電極を交互に隣接させて複数配置し、該第1および第2の電極に交わるように第3の電極を形成し、スキャンパルスを印加する前記第2の電極に対して傾きの緩やかな消去パルスをリセット時に印加する。さらに、消去パルスの最終段階で、スキャンパルスと同等の電圧になるまでパルス電圧を急峻に変化させるようになっている。

【0030】本発明の第4の形態のプラズマディスプレイパネルは、複数の第1の電極と、該各第1の電極と交互に隣接して配置された複数の第2の電極と、第1および第2の電極に交わるように配置された複数の第3の電極と、第2の電極と第3の電極との間でアドレス放電を実行させる制御回路とを備える。この制御回路は、維持放電を意図しない表示セルに蓄積された壁電荷を維持放電が起きないように量に減少させる補助放電を行わせるようになっている。

【0031】本発明の第5の形態のプラズマディスプレイパネルは、複数の第1の電極と、該各第1の電極と交互に隣接して配置された複数の第2の電極と、第1および第2の電極に交わるように配置された複数の第3の電極と、第2の電極と第3の電極との間でアドレス放電を実行させる制御回路とを備える。この制御回路は、直前に実施していた維持放電以上の規模の補助放電を行わせるようになっている。

【0032】本発明の第6の形態のプラズマディスプレイパネルは、第1の電極および第2の電極を交互に隣接させて複数配置し、該第1および第2の電極に交わるように第3の電極を形成する。第2の電極は、奇数電極群および偶数電極群に時間的に分かれて駆動され、該奇数電極群または該偶数電極群の何れか一方のアドレス期間

が終了した後の後半アドレス期間において、アドレス処理を終了した何れかの前記第2の電極の電圧を、アドレスを実行中における当該第2の電極の非選択電圧よりも低くする。

【0033】本発明の第7の形態のプラズマディスプレイパネルは、第1の電極および第2の電極を交互に隣接させて複数配置し、該第1および第2の電極に交わるように第3の電極を形成する。第1の電極および第2の電極は、奇数電極群および偶数電極群に分離され、該隣接する奇数電極群間および該隣接する偶数電極群間で表示セルを構成し、或いは、該隣接する奇数電極群と偶数電極群との間で表示セルを構成する。さらに、維持放電期間における初期の複数回の放電を、前記各奇数電極または前記各偶数電極で時間的に分離して実行し、維持放電を実行しない側における前記第1の電極および前記第2の電極の電圧の一方もしくは両方の電圧を低く設定する。

【0034】すなわち、本発明の第1の形態は、例えば、3電極面放電型のプラズマディスプレイパネルにおいて、第2の電極と第3の電極との間でアドレス放電を実行した後第1の電極と第3の電極間で放電を起こすことで、アドレス放電を行っていないが隣接セルの影響を受けて放電してしまったセルの壁電荷を維持放電が起きないように減少させることができるため、誤表示を回避することができる。また、本発明の第2の形態は、維持放電が終了した後、第1の電極と第2の電極間を主体とした比較的規模の大きな維持放電を実施するため、主にアドレス電極側に蓄積した電荷を消去し、それ以降の動作に与える悪影響を回避することができる。

【0035】本発明の第1、第2、第4および第5の形態によれば、電荷の偏った蓄積による異常放電を回避することができる。また、本発明の第3の形態によれば、アドレス期間において、アドレスパルスが印加されなくとも消去パルスのみで放電を開始するようなミスアドレスを防止することができる。本発明の第6の形態によれば、前半でアドレス放電を行ったセルのY電極上には正極性の壁電荷が存在し、この正極性の壁電荷が後半アドレス期間において隣接セルの放電の影響で消滅しないようにすることができる。

【0036】本発明の第7の形態によれば、維持放電期間の初期段階（前処理期間）において、各奇数電極または各偶数電極で時間的に分離して実行され、維持放電を実行しない側における第1の電極および第2の電極の電圧の一方もしくは両方の電圧が低く設定される。これにより、奇数電極のセルと偶数電極のセルの放電タイミングを分離して、両者が点灯セルの場合、一方が放電しているときには他方の電圧を低減して影響を受けにくくし、また、一方のセルが点灯で他方のセルが消灯の場合には、一方の点灯セルが放電している時に他方の消灯セルの一部を巻き込んで放電させ、それ以降は、消灯セル

が点灯してしまうことが無いような状態を作り出すようになっている。

【0037】

【発明の実施の形態】以下、本発明に係るプラズマディスプレイパネル（PDP）の駆動方法の各実施例を図面を参照して詳述する。まず、本発明のPDPの駆動方法の第1実施例における駆動波形を従来のPDPの駆動方法における駆動波形と比較して説明する。

【0038】図16は従来のPDPの駆動方法における駆動波形の一例を示す図であり、図17は本発明に係るPDPの駆動方法の第1実施例における駆動波形を示す図である。図16および図17において、参照符号Aはアドレス電極（A2）に印加する波形を示し、XはX電極（X2）に印加する波形を示し、そして、YはY電極（Y2）に印加する波形を示している。

【0039】図16と図17との比較から明らかに、本第1実施例では、アドレス期間終了後でサスティン放電を開始する前（サスティン期間前）に、アドレス電極（A：A2）およびX電極（X：X2）に対して追加パルスP1、P2を印加し、誤放電が生じたセルの壁電荷を補助放電によって消滅させるようになっている。

【0040】すなわち、図17に示されるように、本第1実施例では、アドレス期間（アドレス放電期間）とサスティン期間（サスティン放電期間）との間の追加パルス期間において、アドレス電極に対して正極性のパルスP1（ここでは、回路の簡素化のためにアドレスパルスと同じ電圧（例えば、50V）としている）を印加し、X電極に負極性のパルス（例えば、-50V）を印加する。このようなパルス（追加パルス）を印加することで、誤放電してしまったセルにのみ補助放電を起こすことができる。

【0041】図18は図17に示すPDPの駆動方法の動作を説明するための図である。ここで、図18（a）は前述した図15（a）の正常なアドレス放電を行った後に図17に示す追加パルスを印加した直後の状態を示し、図18（b）は追加パルスの印加による動作を説明するための図である。図18（a）に示されるように、正常なアドレス放電を行ったセル（CE2）は、そのアドレス放電によりアドレス電極（A2）側に負の壁電荷が形成されているため、放電を起こすことは無い。一方、前述した図15（b）に示されるように、隣接セル（CE2）からの影響でアドレス期間で放電してしまったセル（CE3）は、その放電時のアドレス電極は非選択電位である0VであるためX電極（X2）とY電極（Y2）との間で放電しても、比較的電荷を形成していない状態となっている。

【0042】そこで、本第1実施例では、図17および図18（b）に示されるように、アドレス電極（A2）に対して正極性のパルスP1（例えば、50V）を印加すると共に、X電極（X2）に対して正極性のパルスP

2 (例えば、 -50V) を印加して、アドレス電極 (A2) と X 電極 (X2) との間で放電を開始する。放電開始後、壁電荷の形成が進むにつれて放電が収束するが、X 電極 (X2) と Y 電極 (Y2) との間の電位差が 50V 程度であるため、この放電は正常な維持放電に比べて直ぐに収束し、且つ、形成される壁電荷も微量となる。

【0043】そして、この微量の壁電荷では、次に維持パルスが印加されても維持放電を開始することは無いため、消灯状態が実現できる。なお、X 電極に印加する負極性のパルス P2 の電圧値は、大きすぎると正常なアドレス放電を実施したセルでも放電を起こして電荷を消去してしまう可能性があるため、適切な値とする必要があり、本第1実施例では -50V 程度が限界であった。また、本第1実施例の効果が現れる負極性のパルス P2 の最小値は、 -30V 程度であった。

【0044】図19は本発明に係る PDP の駆動方法の第2実施例における駆動波形を示す図である。上述した図17に示す第1実施例では Y 電極 (Y2) の電圧が 0V であるが、図18(a) および図18(b) に示されるように、Y 電極 (Y2) 上には正の電荷が存在するため、正常にアドレス放電したセル (CE2) において、X 電極 (X2) に負の電圧を印加した場合、X 電極 (X2) と Y 電極 (Y2) との間で放電を開始して、アドレス放電により形成した壁電荷を消滅させる場合が考えられる。そこで、本第2実施例では、このような壁電荷の消滅を防止するために、Y 電極 (Y2) に対しても負極性のパルス P3 を印加するようになっている。なお、大きめの負極性パルスを X 電極に印加しても正常なアドレス放電を実施したセルへの悪影響を回避して、本発明の効果をより一層引き出すことができた。実験においては、Y 電極に印加する負極性のパルス (P3) の電圧は、アドレス期間中の Y 電極の非選択電位と同等 (例えば、 -50V) とした。

【0045】上述した第1および第2の実施例は、アドレス期間では誤放電の発生を防止することはできないが、サステイン期間に入る前に誤放電したセルの壁電荷を消滅させることで、余剰点灯を防ぐことができる。次に、アドレス期間の余剰点灯そのものを防止する方法に関する実施例について説明する。

【0046】前述した図11～図14に示されるように、アドレス放電の巨大化は、常に一定の方向でアドレス放電を行う場合、電荷が一定方向に偏って形成されてしまうために生じる現象であり、特に、図13および図14に示されるように、正電荷がアドレス電極側に形成された場合に発生し易い。アドレス電極 (A) 側には蛍光体 165 があり、サステイン電極 (X 電極および Y 電極) 側の MgO 膜 (保護膜) と異なって、蛍光体 165 はその材料により様々な形をした数 μm の粒子である。すなわち、蛍光体 165 は、数 μm の粒子が幾重にも重なって 10ミクロン 前後の膜となっているため、空洞も

至るところに存在し、その表面積の合計は MgO 面に比べて大きなものとなっている。そして、この至るところに空洞が存在する蛍光体 165 に電子やイオン等の荷電粒子が潜り込み付着すると、その荷電粒子は、微弱なりセット放電やサステイン放電の影響等では取り除くことができず、堆積した結果として、巨大な放電を引き起こすことになる。

【0047】そこで、上記の荷電粒子を取り除くようにした実施例を次に説明する。図20は本発明に係る PDP の駆動方法の第3実施例における駆動波形を示す図である。図20と図18との比較から明らかなように、本第3実施例は、通常の維持放電期間 (サステイン期間) が終了した後、Y 電極 (Y2) に対してスキャンパルスと同等の電圧 (例えば、 -150V 程度) の負極性のパルス P5 を印加し、アドレス電極 (A2) には、アドレスパルスと同等の電圧 (例えば、 50V 程度) の正極性のパルス P4 を印加する。これらの追加パルス P4、P5 は、Y 電極の正極性のサステインパルスで放電した後、挿入されるので、X 電極と Y 電極間の放電と共にアドレス電極と Y 電極との間の放電を併発することになり、大きな放電 (補助放電) が起きてアドレス電極側に堆積した正電荷を取り去ることが可能となる。

【0048】図21は本発明に係る PDP の駆動方法の第4実施例における駆動波形を示す図である。図21と図20との比較から明らかなように、本第4実施例は、上述した第3実施例に対して、サステイン期間の終了後の追加パルス期間において、X 電極 (X2) に対しても正極性のパルス P6 を印加するようになっている。これにより、追加パルス期間でより一層大きな放電 (補助放電) を引き起こして、アドレス電極側に堆積した電荷をより一層効果的に除去するようになっている。なお、X 電極に加える追加パルス P6 の電圧としては、例えば、アドレス期間に印加する X 電極の電圧と同じ電圧 (例えば、 50V 程度) とすることができる。

【0049】図22は本発明に係る PDP の駆動方法の第5実施例における駆動波形を示す図である。上述した図20の第3実施例および図21の第4実施例は、アドレス電極 (A2) に対して追加パルス P4 を印加するため、その時のアドレス電極 (A2) と Y 電極 (Y2) との間の電圧によっては消灯していた全てのセルで放電が生じることがある。

【0050】ところで、アドレス電極に印加する追加パルス P4 をアドレス期間におけるアドレスパルスと同じ電圧 (例えば、 50V 程度) とし、且つ、Y 電極 (Y2) に印加する追加パルス P5 をスキャンパルスと同じ電圧 (例えば、 -150V 程度) とした場合には、全てのセルで確実に放電が生じる。すなわち、消灯画面 (黒表示) であったとしても、全セルで放電するため、黒の輝度が上昇してコントラストを低下させることになる。

【0051】そこで、本第5実施例は、図22に示され

るように、アドレス電極(A2)に対する追加パルスP4を印加せずに、X電極(X2)およびY電極(Y2)に対して追加パルスP6およびP5を印加し、X電極とY電極間でのみ強放電を実施するようになっている。本第5実施例の場合にも、例えば、第4実施例程では無いにしても、追加パルス期間での補助放電により、アドレス電極側に堆積した電荷を除去して異常放電を防止する効果は得られる。

【0052】上述した本発明の第3実施例～第5実施例の駆動方法(追加パルス)は、全てのサブフィールドで実施しても良いが、先に示すようにコントラストの低下を招くため、例えば、1フィールドに1回だけ実施するようにしても効果がある。以上の説明においては、本発明の適用を主としてALIS方式のPDP(特に、奇数ラインの表示)を例として説明したが、本発明は、ALIS方式のPDPに限られるものではなく、放電が行われるセルのピッチが短くて隣接(例えば、上下隣接)するセル間で電荷の移動が起こり易いようなPDPに対しても幅広く適用することができる。

【0053】図23は従来のPDPの駆動方法における駆動波形の他の例を示す図であり、図24を参照して後述する実施例に対応する従来例を示すものである。図23に示す従来例において特徴的な点は、リセットのパルス形状にある。すなわち、リセットパルスとして傾きの緩やかなパルスを印加し、全てのセルに渡って書き込み放電を実施し、その後、同様に傾きの緩やかな消去パルスを印加して壁電荷の消去を行う方法である。この特徴は、パルスの傾きが緩やかなので放電強度が非常に小さくて発光量も小さくなり、そのため、全セルで、全てのサブフィールドにおけるリセット(書き込み/消去)放電を実行しても、その輝度は僅かなために暗室コントラストを低下させることが無く、その結果、安定動作と高い表示品質を得ることができる。なお、この駆動技術の詳細は、例えば、日本国特開平10-170825号公報に開示されている。

【0054】しかしながら、この消去波形は傾きが緩やかなため、放電の規模が小さくなり、そのため、セル内の全てに渡って壁電荷の消去が不十分になるという問題がある。すなわち、X電極(X)やY電極(Y)、さらには、アドレス電極(A)の真上の蛍光体部分は十分な消去が可能であるとしても、障壁(隔壁)の側面の蛍光体部分等は壁電荷が付着しても十分消去することができず、その結果、アドレス期間において、アドレスパルスが印加されなくとも消去パルスのみで放電を開始してしまうといった課題があった。

【0055】図24は本発明に係るPDPの駆動方法の第6実施例における駆動波形を示す図である。本第6実施例では、図24に示されるように、消去パルスの終了時にスキャンパルスと同じ電圧(例えば、-150V程度)の追加パルスP7を数マイクロ秒の短時間印加す

る。これにより、ある程度大規模な放電が生じて壁電荷の中和が行われ、ミスアドレスを回避することができる。

【0056】具体的に、例えば、消去パルスの終了時における急峻に印加する追加パルスP7の電圧変化分は、例えば、5～10V程度であり、また、追加パルスP7を印加する時間としては、例えば、1～5μs程度としても効果が確認された。上述した消去パルスの終了時に印加する追加パルスP7の条件は、セル構造やアドレス期間およびサスティン期間での電圧の加え方等により異なるものであり、それに応じて様々に変化させることができる。

【0057】このように、本第6実施例によれば、リセット動作(消去放電)を確実にに行わせることにより、アドレス期間において、アドレスパルスが印加されなくとも消去パルスのみで放電を開始するようなミスアドレスを防止することができる。図25は本発明に係るPDPの駆動方法の第7実施例における駆動波形を示す図であり、図26は図25に示すPDPの駆動方法の動作を説明するための図である。

【0058】本第7実施例は、スキャンパルスの印加電圧を-150V程度から100V以下(例えば、-80V程度)に抑えるために、リセット電圧(Vw)を高く印加してリセット放電終了時、つまりアドレス期間の開始前にアドレスパルスやスキャンパルスに重畳される壁電荷を残留させる方式での実施例である。図26(a)はリセット期間終了時の壁電荷の状態を示し、X電極(X1, X2, X3)側およびアドレス電極(A2)側には正極性の壁電荷を残留させ、Y電極(Y1, Y2, Y3)側には負極性の壁電荷を残留させている。そのため、前述した図5および図6を参照して説明した駆動方式よりも低い電圧でアドレス放電が可能となる。

【0059】具体的に、例えば、アドレスパルスの電圧が50V、X電極電圧が130V、Y電極に印加するスキャンパルスの電圧が-80Vであり、アドレス電極とY電極間に200V以上必要であった印加電圧を130V程度に抑えるようになっている。図26(b)は電極X1-Y1および電極X3-Y3のセルがアドレス放電を実施した後の状態を示し、電極X2-Y2のセルが消灯(アドレス放電を行わない)状態であれば図26

(b)のようにリセット放電時に形成した壁電荷がそのまま残留してしまう。そして、このまま維持放電に突入すると、消灯セルでも或る程度の壁電荷が存在するため隣接する点灯セルからの種火効果(ブライミング効果)で放電を開始してしまう場合があった。

【0060】そこで、本第7実施例では、図25に示されるように、維持放電期間に入る前の追加パルス期間において、アドレス電極にアドレスパルスと同じ電圧(例えば、50V)のパルスを印加すると共にY電極にスキャンパルスと同じ電圧(例えば、-80V)のパルスを

印加して、アドレス電極とY電極間で放電を実施し、図26(c)に示すように消灯セルの壁電荷を消去する。この処置によって、図26(d)に示されるように、維持放電期間において消灯セルが点灯してしまうことを防ぐことができる。

【0061】ここで、追加パルス期間としては、例えば、10~20 μ s程度の期間で良い。なお、図25における追加パルス期間では、X電極の電圧を0Vとしているために、アドレス電極とY電極間で放電が起きてもX電極間とY電極間の壁電荷は少量となる。さらに、追加パルス期間で印加する電圧は、以上のような目的を達成できる値であればアドレスパルスおよびスキャンパルスの電圧と同じでなくとも良いのはもちろんである。

【0062】図27は本発明に係るPDPの駆動方法の第8実施例における駆動波形を示す図である。上述した図25の第7実施例では、アドレス期間終了後の消灯セルの壁電荷をアドレス電極とY電極間の放電によって処理(低減)したが、本第8実施例では、X電極とY電極間の放電によって処理するようになっている。

【0063】すなわち、図27に示されるように、本第8実施例は、アドレス期間と維持放電期間の間の追加パルス期間において、X電極に対してアドレス期間のX電極の印加電圧よりも高い電圧(例えば、維持放電パルスと同じ電圧:150V)を印加し、Y電極にはスキャンパルスと同じ電圧(例えば、-80V)で傾きの緩やかなパルス(例えば、-1V/ μ sec.の傾きのパルス)を印加する。

【0064】この傾きの緩やかなパルス印加による微弱放電によって消灯セルのX電極およびY電極間の壁電荷が消滅し、維持放電期間に誤って点灯するのを防止する。ここで、追加パルス期間としては、例えば、80~90 μ s程度の期間となる。また、本第8実施例も上述した第7実施例と同様に、追加パルス期間で印加する電圧は、以上のような目的を達成できる値であれば維持放電パルスおよびスキャンパルスの電圧と同じでなくとも良い。

【0065】図28は本発明に係るPDPの駆動方法の第9実施例における駆動波形を示す図である。図25および図27と図28との比較から明らかなように、本第9実施例においては、新たに追加パルス期間を設けて消灯セルの壁電荷を専用のパルスで消去するのではなく、維持放電期間において維持放電を行いながら消灯セルの壁電荷を消滅させるようになっている。なお、本第9実施例(図28)では、維持放電パルスに必要な電圧を1/2ずつX電極とY電極から交互に印加する形態、すなわち、例えば、X電極およびY電極に対して0Vと160Vを印加するのではなく、80Vと-80Vを印加して駆動する場合を説明している。また、本第9実施例においても、上述した第7および第8実施例と同様に、アドレス放電に必要な印加電圧を低減するための壁電荷を

残留させるリセット処理を実施している。

【0066】図28において、期間T1および期間T2では、電極X1-Y1間に正および負の1/2の電圧(-80Vおよび80V)を印加して放電を行う。次に、期間T3において、電極X2-Y2間のセルが維持放電を行うが、その時、電極X1の電圧を+1/2 \cdot Vsよりも低いV1(例えば、80Vよりも20~30V程度低い50~60V)としている。同様に期間T4、T5、T7においても低い電圧としている。

【0067】本第9実施例の基本的な考え方は、維持放電期間の初期段階(前処理期間)において、電極X1-Y1のセルと電極X2-Y2のセルの放電タイミングを分離して、両者が点灯セルの場合、一方が放電しているときには他方の電圧を低減して影響を受けにくくするものである。また、一方のセルが点灯で他方のセルが消灯の場合には、一方の点灯セルが放電している時に他方の消灯セルの一部を巻き込んで放電させ、それ以降は、消灯セルが点灯してしまうことが無いような状態を作り出すというものである。

【0068】以上の様子を図28の時間軸に沿って説明する。まず、期間T1および期間T2は、電極X1-Y1間のセルの放電を実行するが、電極X2-Y2間のセルは点灯セルであっても放電を行わずに待機状態とする。この時、アドレス放電直後の放電は小規模であって隣接セルまで拡散しないため、電極X2およびY2に逃げの電圧をつくらなくとも良い。

【0069】期間T3では、電極X2-Y2間のセルが維持放電を開始するが、この時、電極X1-Y1間のセルが消灯セルであった場合、X電極側には、リセット時に形成された正極性の壁電荷が存在する。従って、電極X1の電圧が高くと、電極X2に対して電極Y2とそれに隣接する電極X1が大きな陽極として見えてしまい、電極X1も巻き込んで放電し、電極X1にも負電荷(電子)を大量に形成し、それ以降の維持放電パルスで維持放電を引き起こすようになってしまう。なお、図28では、XY電極が4本しか記載されていないが、電極Y2の下は電極X1と同じ動きをする電極X3が存在する。

【0070】そのため、本第9実施例では、電極X1の電圧を低く(V1:例えば、50~60V)設定しており、これにより、電極X1を巻き込んだ大規模な放電は発生しない。むしろ、適度な負電荷(電子)の飛来によって、電極X1上の正極性の壁電荷を消滅させる方向に作用する。次に、期間T4では、電極X1-Y1間のセルが3回目の維持放電を行う。その時、電極X2の電圧をプラス方向に下げ(V3:例えば、-50~-60V)で、電極Y1とX2間の放電を回避するようになっている。

【0071】期間T5では、電極Y1の電圧を、期間T7では電極Y2の電圧を下げ(V2、V4:例えば、50~60V)ている。これは、電極Y1またはY2のセ

10

20

30

40

50

ルが消灯セルであった場合、リセット期間でY電極上に形成された負の壁電荷が存在するため、それを消去するためである。具体的に、期間T5について電極X1-Y1間のセルが消灯状態にあり、電極Y1上にリセット期間で形成された負の壁電荷が存在する場合、電極Y1の電圧を負の方向に下げる(V2)ことにより電極X2-Y1間でも微弱な放電を発生させる。この時、電極Y1側には微弱な正壁電荷が形成されるが、それ以降の放電は開始しないような値となっている。なお、期間T7の動作に関しても同様である。

【0072】以上において、本第9実施例では、電圧V1~V4は電源回路で生成された適切な出力電圧を使用するが、これらの電圧V1~V4は専用の電圧発生回路の出力ではなく、図28に示すような出力回路をハイインピーダンス状態とすることにより得られる電圧を使用することもできる。図29は図28に示すPDPの駆動方法における電圧発生回路の一構成例を示す図であり、図28の期間T3における電圧V1に注目したものである。

【0073】まず、図28の期間T2において、スイッチSW1およびSW4をオンしてスイッチSW2およびSW3をオフし、電極X1に電圧Vsを印加すると共に電極Y1に-Vsを印加して、電極X1-Y1間のセルに2回目の維持放電を行う。その後、図28の期間T2において、スイッチSW1をオフとして電極X1側の出力回路をハイインピーダンス状態とする。ここで、電極X1-Y1間のセルには容量Cpが有り、また、スイッチSW1、SW2にも容量C1、C2が存在し、さらに、電極X1と接地(GND)間にも容量C5が考えられる。これらの容量Cp、C1、C2、C3により、電極X1の電圧(V1)は、電圧Vs(例えば、80V)よりも所定電圧だけ低い(20~30V程度低い)電圧となる。なお、他の電圧V2~V4に関しても同様である。すなわち、電圧V2およびV4は、例えば、50~60V程度とし、また、電圧V3は、例えば、-50~-60V程度に設定する。

【0074】すなわち、電極X1に与える電圧V1を出力するための専用の電源回路を設けることなく、適切な電圧(50~60V程度)を電圧V1として電極X1に与えることができる。なお、パネルの構成等によっては、容量Cp、C1、C2、C5の大きさが異なるため、例えば、必要に応じて容量C5の大きさを調整することにより、適切な電圧V1を電極X1に印加することが可能となる。

【0075】このように、出力回路をハイインピーダンス状態とすることにより、仮にそのハイインピーダンスの電極に電流が多く流れようとする時は電圧が放電を抑止する方向に変動するため、放電成長の抑止効果が得られることになる。図30は本発明に係るPDPの駆動方法の第10実施例における駆動波形を示す図である。な

お、図30は、本発明のさらなる形態も示している。

【0076】まず、PDPの駆動方法の第10実施例としては、前半アドレス期間が終了した時点でアドレス放電を実施しなかったセルの壁電荷を消去する。具体的に、例えば、アドレス電極を0Vに固定し、Y電極に対して電圧もしくはパルス幅がYスキャンパルスよりも大きなパルス(V6:例えば、電圧を-100Vとする)を印加する。このパルスV6は、そのパルス幅或いは電圧がスキャンパルスよりも大きいためアドレス放電を行わなかったセルでも放電が開始される。その時、X電極の電圧は略スキャンパルスと同じ値にあるためX電極とY電極間の壁電荷が大量に形成されることは無く、それ以降点灯することが無い。

【0077】ここで、前半アドレス期間と後半アドレス期間の間の中間処理期間において印加するパルス(V6)は、各サブフィールド毎に印加することができるが、所定数のサブフィールド毎(例えば、フィールド毎)に印加するように構成してもよい。次に、本発明のさらなる形態としては、後半アドレス期間において、前半のアドレスを行った電極Y1の電圧を0Vよりも低く(V5:例えば、-20V)設定するものである。すなわち、前半でアドレス放電を行ったセルのY電極上には正極性の壁電荷が存在し、この正極性の壁電荷が後半アドレス期間において隣接セルの放電の影響で消滅しないように電圧を下げている。ただし、電圧V5を下げ過ぎると、アドレスパルスとの間で放電を開始してしまう可能性があるため、下げ過ぎないようにすることが重要である。

【0078】(付記1) 第1の電極および第2の電極を交互に隣接させて複数配置し、該第1および第2の電極に交わるように第3の電極を形成したプラズマディスプレイパネルの駆動方法であって、前記第2の電極と前記第3の電極との間でアドレス放電を実行した後であって該第1および第2の電極に交互に維持パルスを印加して維持放電を行う前に、維持放電を意図しない表示セルに蓄積された壁電荷を維持放電が起きないような量に減少させる補助放電を行うことを特徴とするプラズマディスプレイパネルの駆動方法。

(付記2) 付記1に記載のプラズマディスプレイパネルの駆動方法において、さらに、前記第3の電極側を第1の極性とし、前記第2の電極側を第2の極性として電圧パルスを印加することで選択セルに放電を起こし、前記第1の電極側を該第2の電極に対して第1の極性とし、少なくとも該第2の電極には第1の極性の壁電荷を形成し、且つ、該第1の電極側には第2の極性の壁電荷を形成するようにアドレス放電を実行し、前記第3の電極側を第1の極性とし、且つ、該第1の電極側を第2の極性となるような電圧パルスを該第1または第3の電極若しくはその何れにも印加することで、該第3の電極にアドレス放電を引き起こす電圧パルスを印加せずとも放

電を開始してしまった放電セルにおいて放電を起こすことを特徴とするプラズマディスプレイパネルの駆動方法。

(付記3) 付記1に記載のプラズマディスプレイパネルの駆動方法において、前記補助放電を実施するときの前記第3の電極に印加する電圧は、アドレス放電を行うためのアドレスパルスと同等であることを特徴とするプラズマディスプレイパネルの駆動方法。

【0079】(付記4) 付記1に記載のプラズマディスプレイパネルの駆動方法において、前記補助放電を実施するときの前記第2の電極に印加する電圧は、前記第1の電極に印加する追加パルスの電圧に対して、電極間の電位差が少なくなるような電圧であることを特徴とするプラズマディスプレイパネルの駆動方法。

(付記5) 付記4に記載のプラズマディスプレイパネルの駆動方法において、前記補助放電を実施するときの前記第2の電極に印加する電圧は、アドレス期間において非選択の前記第2の電極の電圧と同等であることを特徴とするプラズマディスプレイパネルの駆動方法。

【0080】(付記6) 第1の電極および第2の電極を交互に隣接させて複数配置し、該第1および第2の電極に交わるように第3の電極を形成したプラズマディスプレイパネルの駆動方法であって、前記第2の電極と前記第3の電極との間でアドレス放電を実行し、前記第1および第2の電極に交互に維持パルスを印加して維持放電を行った後に、直前に実施していた維持放電以上の規模の補助放電を行うことを特徴とするプラズマディスプレイパネルの駆動方法。

(付記7) 付記6に記載のプラズマディスプレイパネルの駆動方法において、さらに、前記第3の電極側を第1の極性とし、前記第2の電極側を第2の極性として電圧パルスを印加することで選択セルに放電を起こし、前記第1の電極側を該第2の電極に対して第1の極性とし、少なくとも該第2の電極には第1の極性の壁電荷を形成し、且つ、該第1の電極側には第2の極性の壁電荷を形成し、前記第3の電極側を第1の極性とし、且つ、該第2の電極側を第2の極性となるような電圧パルスを該第3または第2の電極若しくはその何れにも印加することを特徴とするプラズマディスプレイパネルの駆動方法。

【0081】(付記8) 付記6に記載のプラズマディスプレイパネルの駆動方法において、前記補助放電を実施するときの前記第3の電極に印加する電圧は、アドレス期間にアドレス放電を実行するために該第3の電極に印加する電圧パルスと同等であることを特徴とするプラズマディスプレイパネルの駆動方法。

(付記9) 付記6に記載のプラズマディスプレイパネルの駆動方法において、前記補助放電を実施するときの前記第3の電極に印加する電圧は、維持放電期間における前記第2および第3の電極の電位と逆の極性であるこ

とを特徴とするプラズマディスプレイパネルの駆動方法。

【0082】(付記10) 付記6に記載のプラズマディスプレイパネルの駆動方法において、前記補助放電を実施するときの前記第2の電極に印加する電圧は、アドレス放電を実行する際に該第2の電極に選択的に印加される電圧と同等であることを特徴とするプラズマディスプレイパネルの駆動方法。

(付記11) 付記6に記載のプラズマディスプレイパネルの駆動方法において、前記補助放電を実施するときの前記第1の電極に印加する電圧は、前記第2の電極とは逆極性の電圧であることを特徴とするプラズマディスプレイパネルの駆動方法。

【0083】(付記12) 付記11に記載のプラズマディスプレイパネルの駆動方法において、前記補助放電を実施するときの前記第1の電極に印加する電圧は、アドレス放電を実行する際に該第1の電極に印加する電圧と同等であることを特徴とするプラズマディスプレイパネルの駆動方法。

(付記13) 付記6に記載のプラズマディスプレイパネルの駆動方法において、前記補助放電を、複数のサブフィールドに対して1回実施することを特徴とするプラズマディスプレイパネルの駆動方法。

【0084】(付記14) 付記13に記載のプラズマディスプレイパネルの駆動方法において、前記補助放電を、1フレームまたは1フィールドに1回実施することを特徴とするプラズマディスプレイパネルの駆動方法。

(付記15) 第1の電極および第2の電極を交互に隣接させて複数配置し、該第1および第2の電極に交わるように第3の電極を形成し、スキャンパルスを印加する前記第2の電極に対して傾きの緩やかな消去パルスをリセット時に印加するプラズマディスプレイパネルの駆動方法であって、前記消去パルスの最終段階で、前記スキャンパルスと同等の電圧になるまでパルス電圧を急峻に変化させることを特徴とするプラズマディスプレイパネルの駆動方法。

(付記16) 付記1、6および15のいずれか1項に記載のプラズマディスプレイパネルの駆動方法において、前記第1の電極および前記第2の電極は、交互に平行して配置され、且つ、前記第3の電極は、該第1および第2の電極に直交することを特徴とするプラズマディスプレイパネルの駆動方法。

【0085】(付記17) 複数の第1の電極と、該各第1の電極と交互に隣接して配置された複数の第2の電極と、該第1および第2の電極と交わるように配置された複数の第3の電極と、前記第2の電極と前記第3の電極との間でアドレス放電を実行させる制御回路とを備え、前記制御回路は、維持放電を意図しない表示セルに蓄積された壁電荷を維持放電が起きないように減少させる補助放電を行わせることを特徴とするプラズマデ

イスブレイパネル。

(付記18) 複数の第1の電極と、該各第1の電極と交互に隣接して配置された複数の第2の電極と、該第1および第2の電極に交わるように配置された複数の第3の電極と、前記第2の電極と前記第3の電極との間でアドレス放電を実行させる制御回路とを備え、前記制御回路は、直前に実施していた維持放電以上の規模の補助放電を行わせることを特徴とするプラズマディスプレイパネル。

(付記19) 付記17または18のいずれか1項に記載のプラズマディスプレイパネルにおいて、前記第1の電極および前記第2の電極は、交互に平行して配置され、且つ、前記第3の電極は、該第1および第2の電極に直交することを特徴とするプラズマディスプレイパネル。

【0086】(付記20) 付記1に記載のプラズマディスプレイパネルの駆動方法において、さらに、前記第2の電極と前記第3の電極との間にアドレス放電を実行する際に印加した電圧パルスと同じ極性の電圧パルスを印加し、アドレス放電を行わずに維持放電を意図しない表示セルにおける壁電荷を減少させるさらなる補助放電を行うことを特徴とするプラズマディスプレイパネルの駆動方法。

(付記21) 付記20に記載のプラズマディスプレイパネルの駆動方法において、さらに、前記第1の電極と前記第2の電極との間にアドレス放電を実行する際に印加した電圧パルスと同じ極性で、且つ、前記第1の電極と前記第2の電極との間の電圧が最終的にアドレス時における前記第1の電極と前記第2の電極との間の電圧以上になる電圧波形を印加し、アドレス放電を行わずに維持放電を意図しない表示セルにおける壁電荷を減少させるさらなる補助放電を行うことを特徴とするプラズマディスプレイパネルの駆動方法。

【0087】(付記22) 付記21に記載のプラズマディスプレイパネルの駆動方法において、前記さらなる補助放電を行うための前記第1の電極と前記第2の電極との間に印加する電圧波形は、傾きの緩やかな電圧波形であることを特徴とするプラズマディスプレイパネルの駆動方法。

【0088】(付記23) 付記1に記載のプラズマディスプレイパネルの駆動方法において、さらに、前記第2の電極は、奇数電極群および偶数電極群に時間的に分かれて駆動され、該奇数電極群または該偶数電極群の何れか一方のアドレス期間が終了した後に、前記第2の電極にアドレス放電を実行する際に印加した電圧パルスと同じ極性で、且つ、スキャンパルスの電圧以上のパルスを印加し、アドレス放電を行わずに維持放電を意図しない表示セルにおける壁電荷を減少させるさらなる補助放電を行うことを特徴とするプラズマディスプレイパネルの駆動方法。

(付記24) 付記23に記載のプラズマディスプレイパネルの駆動方法において、さらに、前記さらなる補助放電を実施する前記第2の電極と表示ラインを形成する前記第1の電極との間の電圧は、前記補助放電を実行する前記第2の電極に印加した電圧と同等であることを特徴とするプラズマディスプレイパネルの駆動方法。

【0089】(付記25) 第1の電極および第2の電極を交互に隣接させて複数配置し、該第1および第2の電極に交わるように第3の電極を形成したプラズマディスプレイパネルの駆動方法であって、前記第2の電極は、奇数電極群および偶数電極群に時間的に分かれて駆動され、該奇数電極群または該偶数電極群の何れか一方のアドレス期間が終了した後の後半アドレス期間において、アドレス処理を終了した何れかの前記第2の電極の電圧を、アドレスを実行中における当該第2の電極の非選択電圧よりも低くすることを特徴とするプラズマディスプレイパネルの駆動方法。

(付記26) 第1の電極および第2の電極を交互に隣接させて複数配置し、該第1および第2の電極に交わるように第3の電極を形成したプラズマディスプレイパネルの駆動方法であって、前記第1の電極および前記第2の電極は、奇数電極群および偶数電極群に分離され、該隣接する奇数電極群間および該隣接する偶数電極群間で表示セルを構成し、或いは、該隣接する奇数電極群と偶数電極群との間で表示セルを構成し、さらに、維持放電期間における初期の複数回の放電を、前記各奇数電極または前記各偶数電極で時間的に分離して実行し、維持放電を実行しない側における前記第1の電極および前記第2の電極の電圧の一方もしくは両方の電圧を低く設定することを特徴とするプラズマディスプレイパネルの駆動方法。

(付記27) 付記26に記載のプラズマディスプレイパネルの駆動方法において、さらに、放電を実行しない電極は、当該電極の駆動回路をハイインピーダンス状態とすることで、該放電を実行しない電極に対する印加電圧を低く設定することを特徴とするプラズマディスプレイパネルの駆動方法。

【0090】

【発明の効果】以上、詳述したように、本発明によれば、PDPの表示パネル上における偏った電荷の蓄積を無くして異常放電を防止することができる。さらに、本発明によれば、アドレス期間において、消去パルスのみで放電を開始するようなミスアドレスを防止することができる。

【図面の簡単な説明】

【図1】本発明が適用されるALIS方式のプラズマディスプレイパネル(PDP)を従来のプラズマディスプレイパネルと比較して示す図である。

【図2】ALIS方式のPDPの表示方法を説明するための図である。

【図3】ALIS方式のPDPの動作原理を説明するための図である。

【図4】ALIS方式のPDPの表示シーケンスの一例を示す図である。

【図5】ALIS方式の駆動波形の一例を示す図（その1：奇数フィールド）である。

【図6】ALIS方式の駆動波形の一例を示す図（その2：偶数フィールド）である。

【図7】本発明が適用されるALIS方式のPDPの一例を示すブロック回路図である。

【図8】ALIS方式のPDPにおけるパネル構造の一例を示す図である。

【図9】片フィールド（奇数フィールド）により固定表示を行っている様子を示す図である。

【図10】図9に示す片フィールドだけによる固定表示の点灯シーケンスの一例を示す図である。

【図11】ALIS方式のPDPにおける固定表示の課題を説明するための図（その1）である。

【図12】ALIS方式のPDPにおける固定表示の課題を説明するための図（その2）である。

【図13】ALIS方式のPDPにおける固定表示の課題を説明するための図（その3）である。

【図14】ALIS方式のPDPにおける固定表示の課題を説明するための図（その4）である。

【図15】ALIS方式のPDPにおける固定表示の課題を説明するための図（その5）である。

【図16】従来のPDPの駆動方法における駆動波形の一例を示す図である。

【図17】本発明に係るプラズマディスプレイパネル（PDP）の駆動方法の第1実施例における駆動波形を示す図である。

【図18】図17に示すPDPの駆動方法の動作を説明するための図である。

【図19】本発明に係るPDPの駆動方法の第2実施例における駆動波形を示す図である。

【図20】本発明に係るPDPの駆動方法の第3実施例における駆動波形を示す図である。

【図21】本発明に係るPDPの駆動方法の第4実施例における駆動波形を示す図である。

【図22】本発明に係るPDPの駆動方法の第5実施例

における駆動波形を示す図である。

【図23】従来のPDPの駆動方法における駆動波形の他の例を示す図である。

【図24】本発明に係るPDPの駆動方法の第6実施例における駆動波形を示す図である。

【図25】本発明に係るPDPの駆動方法の第7実施例における駆動波形を示す図である。

【図26】図25に示すPDPの駆動方法の動作を説明するための図である。

10 【図27】本発明に係るPDPの駆動方法の第8実施例における駆動波形を示す図である。

【図28】本発明に係るPDPの駆動方法の第9実施例における駆動波形を示す図である。

【図29】図28に示すPDPの駆動方法における電圧発生回路の一構成例を示す図である。

【図30】本発明に係るPDPの駆動方法の第10実施例における駆動波形を示す図である。

【符号の説明】

101…制御回路

20 104…アドレス回路（アドレスドライバ）

105…走査回路（スキャンドライバ）

106…表示パネル（PDP）

121…奇数X電極用サスティン回路（PX1）

122…偶数X電極用サスティン回路（PX2）

131…奇数Y電極用サスティン回路（PY1）

132…偶数Y電極用サスティン回路（PY2）

161…前面ガラス基板

162…後面ガラス基板

165；1651，1652，1653…蛍光体

30 1631，1632，1633…透明電極

1641，1642，1643…金属電極

1650…隔壁

A1，A2，A3…アドレス電極

CLK…クロック

DATA…表示データ

HSYNC…水平同期信号

VSNC…垂直同期信号

X1，X2，X3，X4…X電極

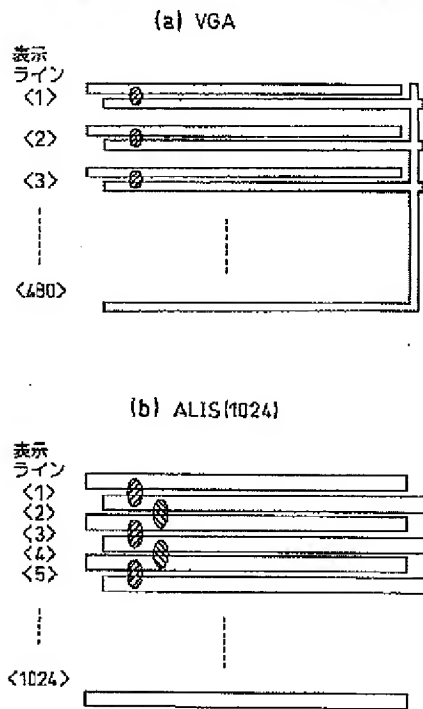
Y1，Y2，Y3，Y4…Y電極

40

【図1】

図1

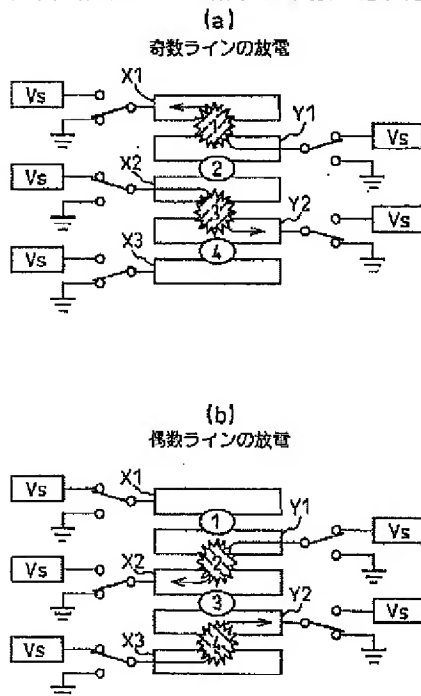
本発明が適用されるALIS方式のプラズマディスプレイパネル(PDP)を従来のプラズマディスプレイパネルと比較して示す図



【図3】

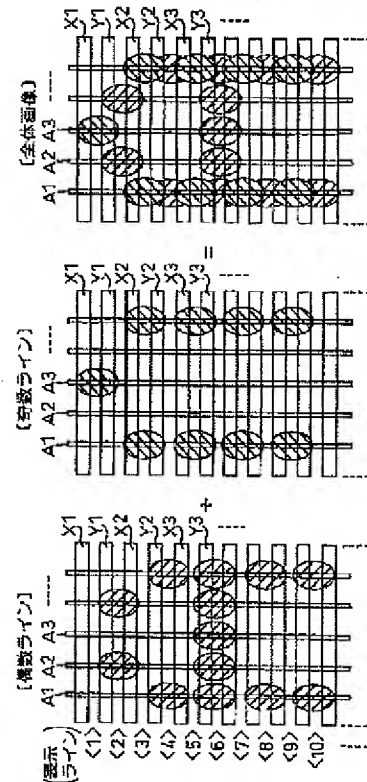
図3

ALIS方式のPDPの動作原理を説明するための図



【図2】

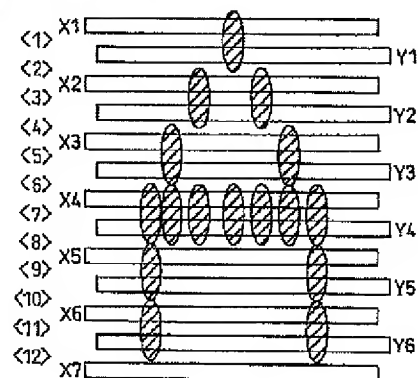
図2 ALIS方式のPDPの表示方法を説明するための図



【図9】

図9

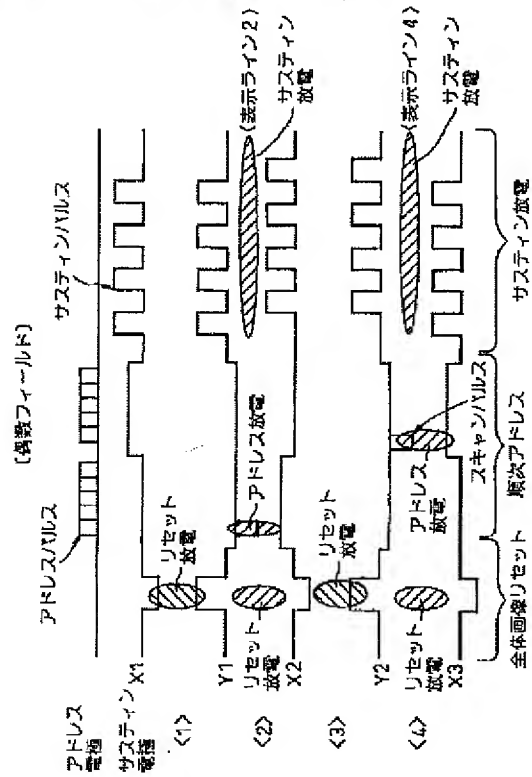
片フィールド(奇数フィールド)により固定表示を行っている様子を示す図



【図6】

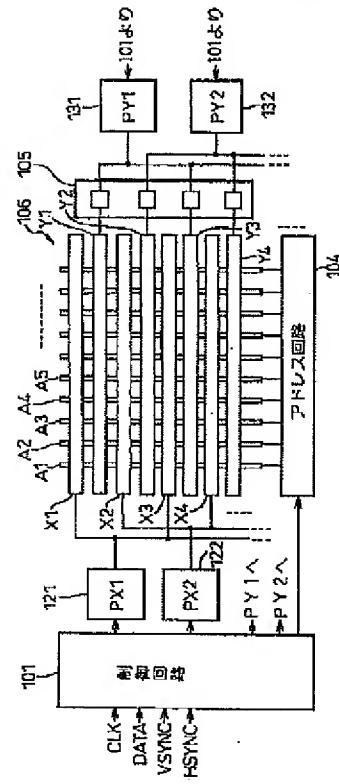
図6

ALIS方式の駆動波形の一例を示す図
(その2: 偶数フィールド)



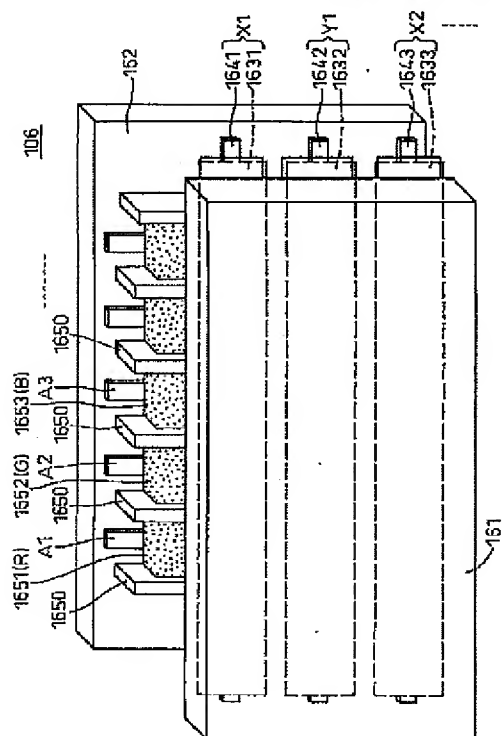
【図7】

図7 本発明が適用されるALIS方式のPDPの一例を示すブロック回路図



【圖8】

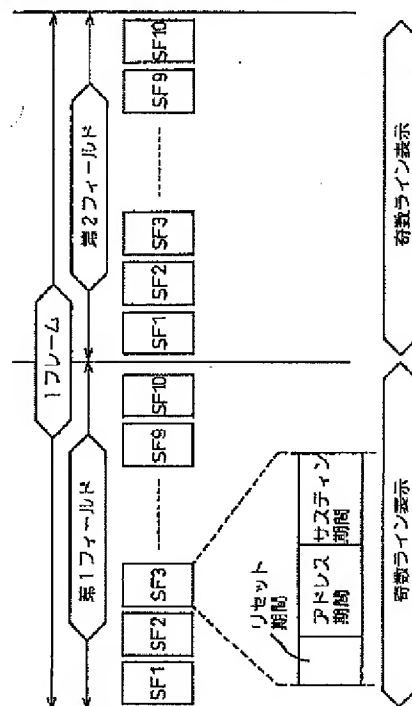
ALLS方式のPDPにおけるパネル構造の一例を示す図



【圖10】

10

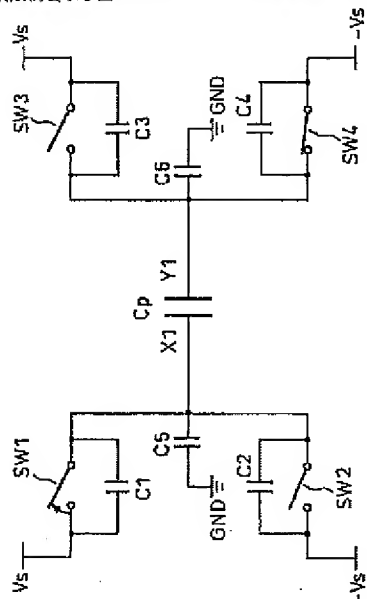
図9に示す片フィールドだけによる固定表示の点灯シーケンスの一例を示す図



【图 29】

图 29

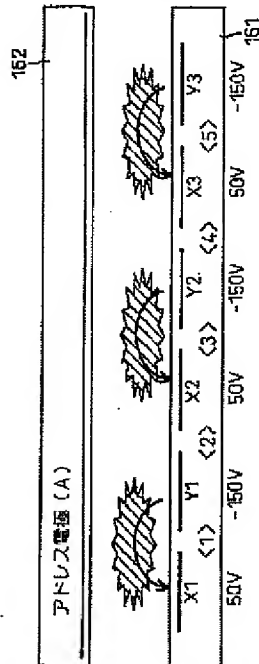
図28に示すPDPの駆動方法における電圧発生回路の一構成例を示す図



【図11】

図11

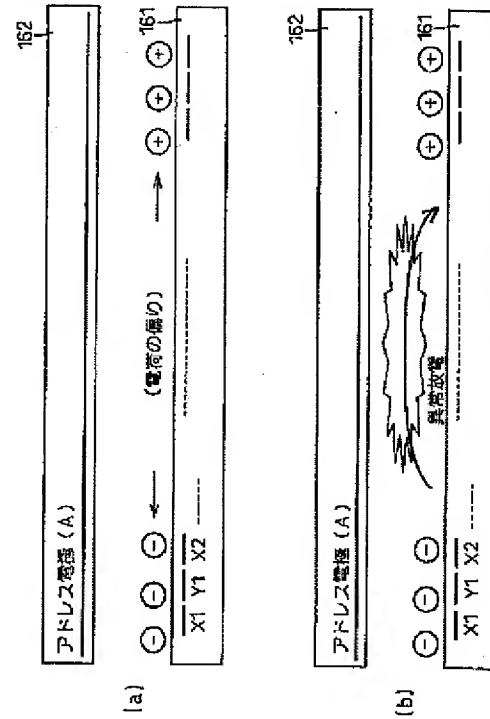
ALIS方式のPDPにおける固定表示の課題を説明するための図
(その1)



【図12】

図12

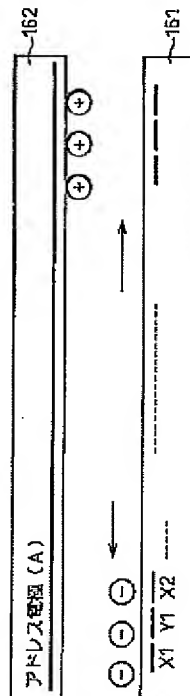
ALIS方式のPDPにおける固定表示の課題を説明するための図
(その2)



【図13】

図13

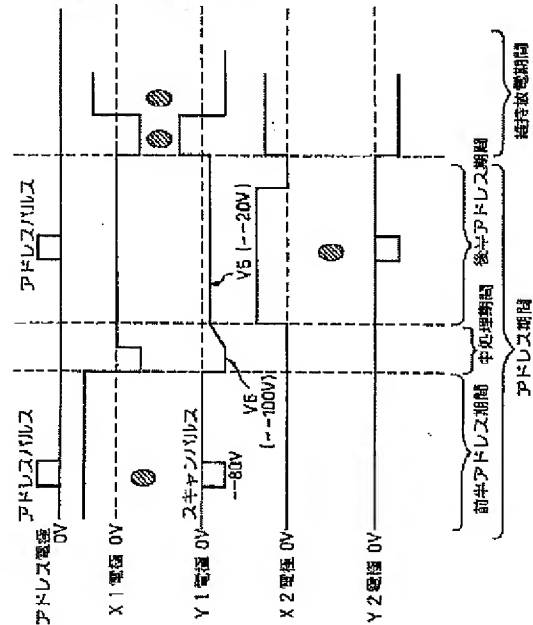
ALIS方式のPDPにおける固定表示の課題を説明するための図
(その3)



【図30】

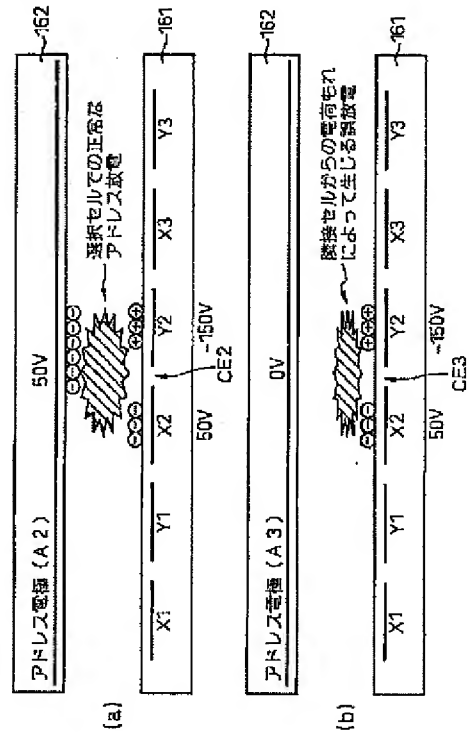
図30

本発明に係るPDPの駆動方法の第10実施例における
駆動波形を示す図



【圖 15】

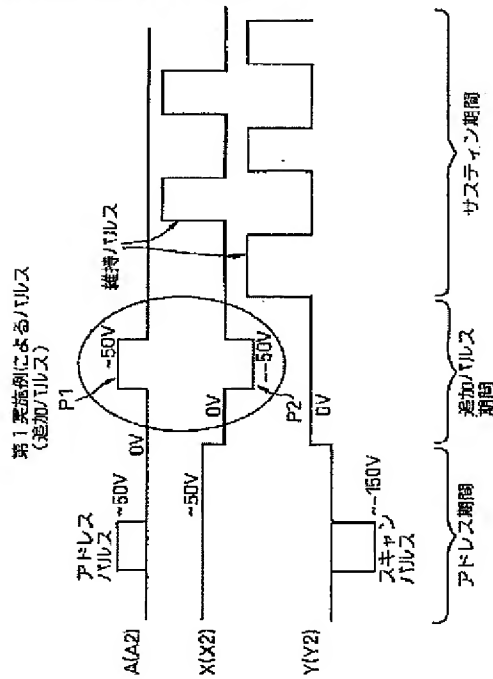
図 15
A11S方式のPDPにおける固定表示の課題を説明するための図
(その5)



【図17】

図17

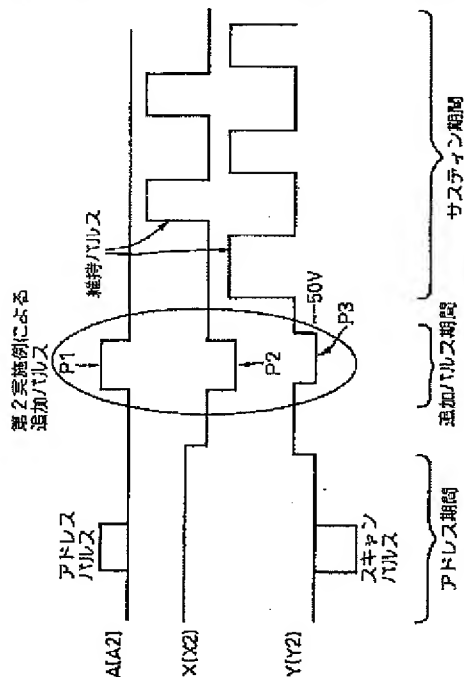
本発明に係るプラズマディスプレイパネル（PDP）の駆動方法の第1実施例における駆動波形を示す図



【図19】

図19

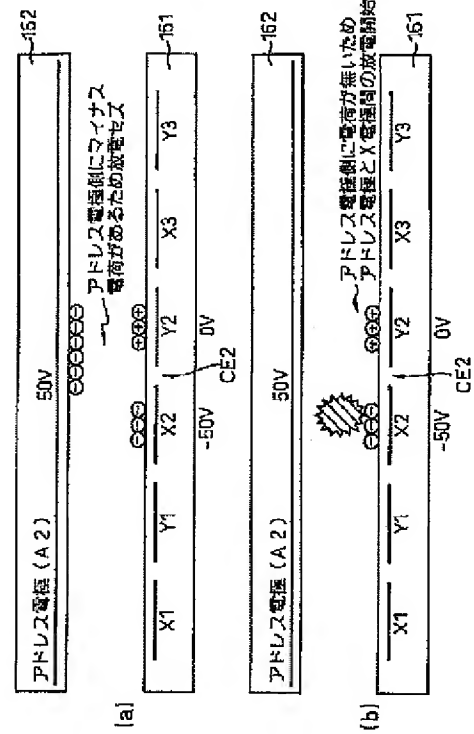
本発明に係るPDPの駆動方法の第2実施例における駆動波形を示す図



【図18】

図18

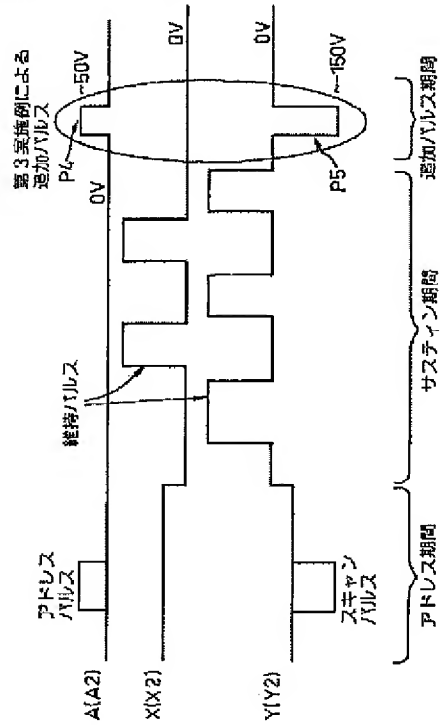
図17に示すPDPの駆動方法の動作を説明するための図



【図20】

図20

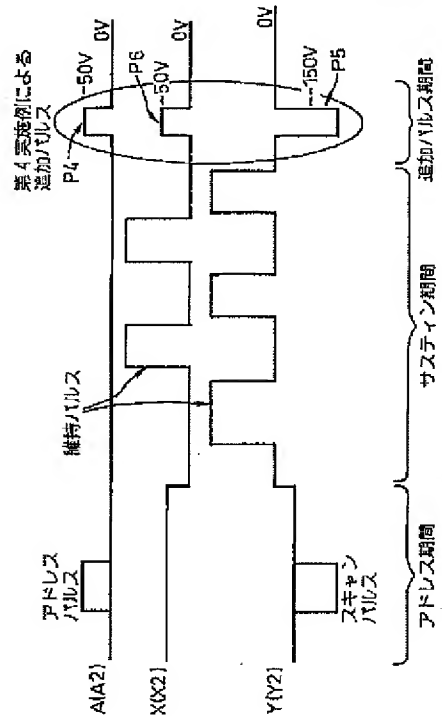
本発明に係るPDPの駆動方法の第3実施例における駆動波形を示す図



【図21】

図21

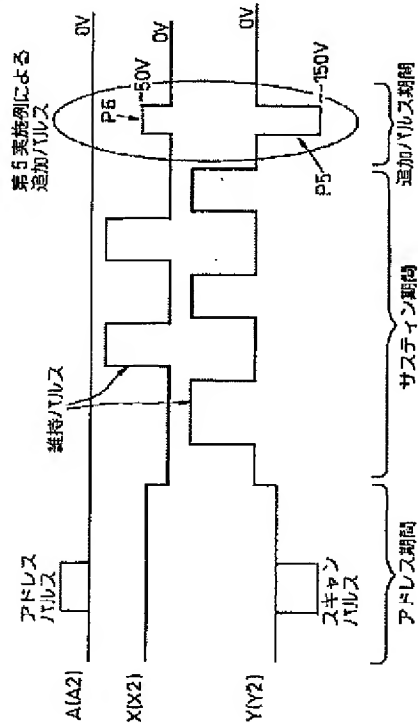
本発明に係るPDPの駆動方法の第4実施例における駆動波形を示す図



【図22】

図 22

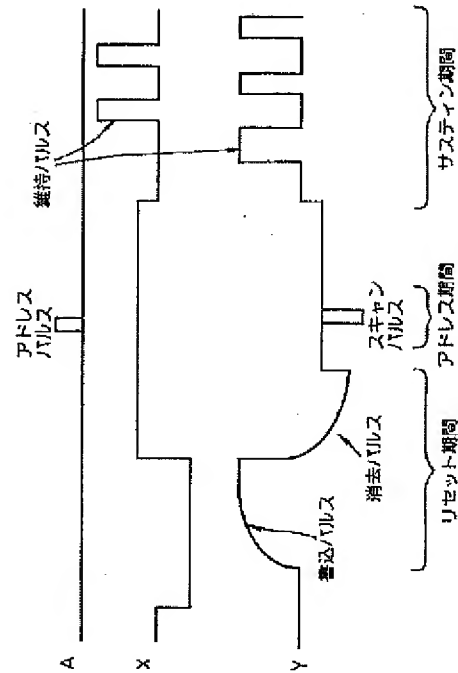
本発明に係るPDPの駆動方法の第5実施例における駆動波形を示す図



【図23】

図 23

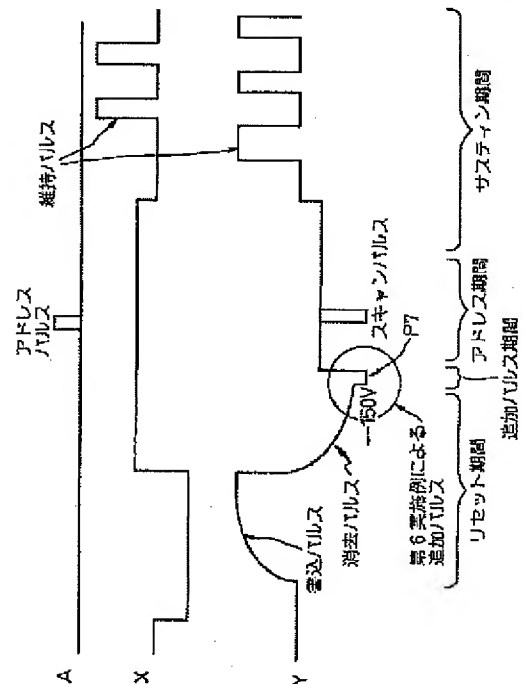
従来のPDPの駆動方法における駆動波形の他の例を示す図



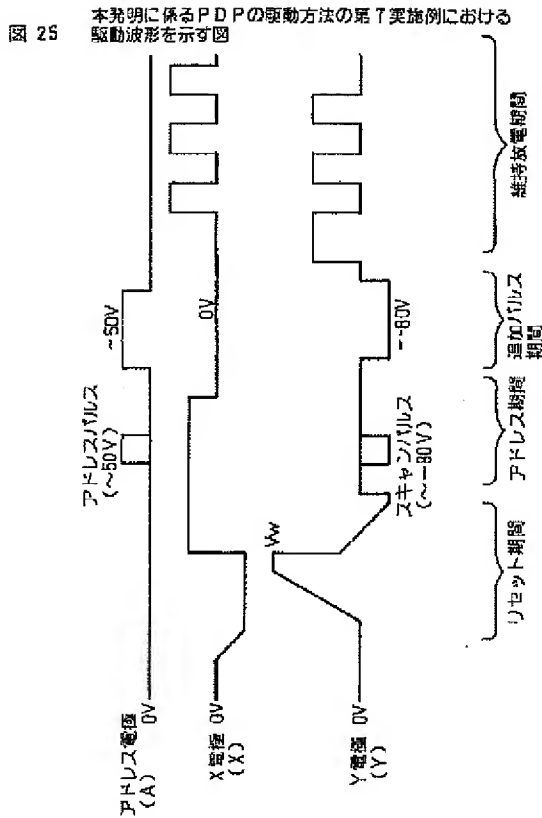
【図24】

図 24

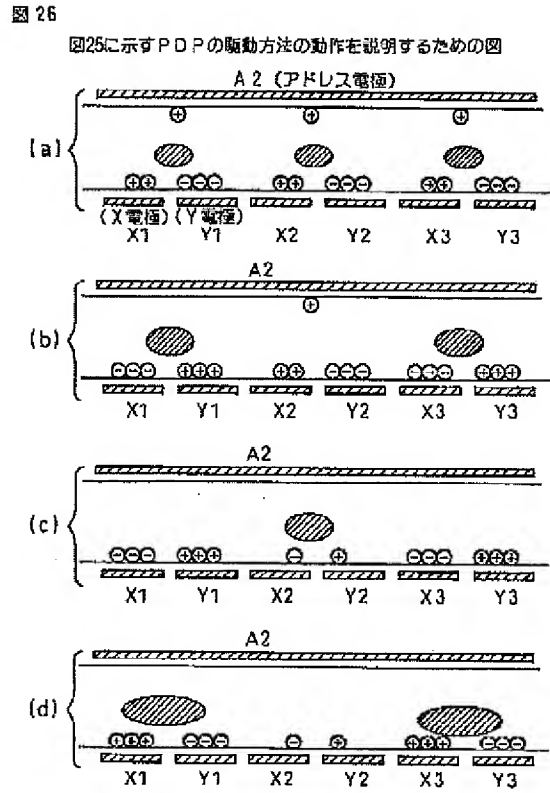
本発明に係るPDPの駆動方法の第6実施例における駆動波形を示す図



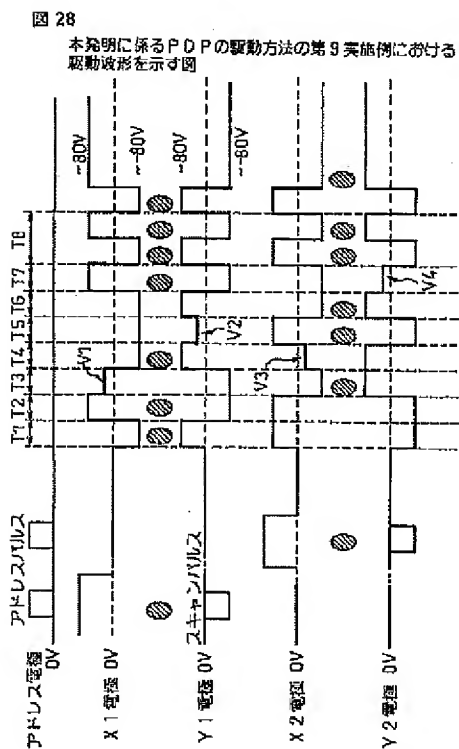
【図25】



【図26】

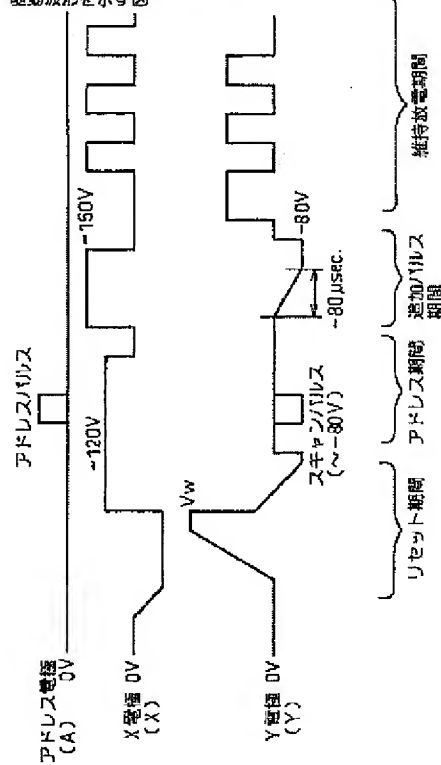


【図28】



【図27】

図27 本発明に係るPDPの駆動方法の第8実施例における駆動波形を示す図



フロントページの続き

(72)発明者 田中 晋介
神奈川県川崎市高津区坂戸3丁目2番1号
富士通日立プラズマディスプレイ株式会
社内

(72)発明者 浅生 重晴
神奈川県川崎市高津区坂戸3丁目2番1号
富士通日立プラズマディスプレイ株式会
社内

Fターム(参考) 5C080 AA05 BB05 DD09 DD19 FF12
HH02 HH04 JJ02 JJ03 JJ04
JJ06

